

应用于 ETCS 超低功耗唤醒接收机的设计

刘国政^{1,2,3}, 黄水龙^{1,3}

(1 中国科学院 微电子研究所, 北京 100029; 2 中国科学院大学, 北京 100049;
3 新一代通信射频芯片技术北京市重点实验室, 北京 100029)

摘 要: 基于 DSRC 标准, 介绍了唤醒接收机在 ETCS 中的应用, 通过采用提出的设计方案, 设计一款低功耗, 高灵敏度唤醒接收机. 基于 $0.13\ \mu\text{m}$ CMOS 工艺, 实现了偏置电路, 放大电路, 比较器, 电流基准源和驱动等电路模块. 采用优化的电路结构, 使得运放有较低功耗和高增益. 为了减小噪声和比较器自身失调对比较器输出的影响, 采用带迟滞功能的比较器. 仿真结果表明, 唤醒接收机可工作在 $2\sim 3.3\text{ V}$ 电源电压, $-40\sim 80^\circ\text{C}$ 度下, 典型情况下基带的检测灵敏度为 -68.3 dBm , 直流电流为 $6.97\ \mu\text{A}$.

关键词: 电子收费系统(ETCS); 唤醒接收机; 超低功耗; 弱反型区

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2018)02-0043-06

The Design of Ultra-Low Power Wake-Up Receivers Applied to ETCS

LIU Guo-zheng^{1,2,3}, HUANG Shui-long^{1,3}

(1 Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China;

2 University of Chinese Academy of Sciences, Beijing 100049, China; 3 Beijing Key

Laboratory of Radio Frequency IC Technology for Next Generation Communications, Beijing 100029, China)

Abstract: Based on the standard of DSRC, paper introduce the application of wake-up receivers in ETCS. By using the proposed design scheme, wake-up receiver has been achieved, which have low power and high sensitivity. The circuit module, such as bias circuit, amplifier circuit, comparator, current reference source and drive, are implemented based on $0.13\ \mu\text{m}$ CMOS process. The op amp has lower power consumption and high gain by using optimizing structure of circuit. A comparator with hysteresis is used to reduce the interference of noise and comparator offset on the comparator output. Simulation result shows that the wake-up receiver can work in the $2\text{ V}\sim 3.3\text{ V}$ power supply voltage and $-40\sim 80^\circ\text{C}$ temperature. The detection sensitivity of the baseband is -68.3 dBm and the DC current is $6.97\ \mu\text{A}$ typically.

Key words: electronic toll collection system (ETCS); wake-up receiver; ultra-low power; weak inversion

1 引言

电子收费系统(electronic toll collection system, ETCS)用于在车载单元(on-board unit, OBU)和路边收费站之间高速无线通信. 用电池供电时, ETCS 中收发机的低功耗设计是及其重要的. 在实际应用情况下, 车载单元不需要一直与路边收费站保持通信, 为延长电池的寿命, 可以通过唤醒接

收机(wake-up receivers, WUR)监听信号. 如图 1 所示, 低功耗的 WUR 一直保持工作状态, 其它高功耗的模块, 如 MCU, RF transceiver 等处于睡眠状态. WUR 一旦监听到来自路边收费站基站的信号, 便立即唤醒 MCU, 收发机等与基站进行通信. 结束后又回到只有 WUR 处于工作的状态. 对于电池供电的 WUR 设计, 主要需考虑的是功耗的大小, 灵明度的大小, 宽的电源电压范围, 以及误唤醒率. 很多

文献都提出了 WUR 的设计,其中文献[1-2]唤醒接收机利用工作在亚阈值区的 MOS 管检波 RF 信号,但相对于肖特基二极管检波有更高的输出噪声和更低的增益^[3],而肖特基二极管在标准的 CMOS 工艺难以集成. 文献[4]提出的唤醒接收机在射频检波前插入了射频放大器,提高了接收信号灵明度,但引起了更大的功耗. 文献[5]中的基带信号放大利用开环状态的放大器,具有高的增益,但面临着增益灵敏度高,抗干扰能力差等问题,这会引起更高的误唤醒率.

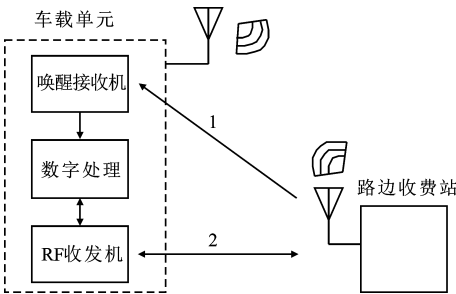


图 1 电子收费系统

针对以上问题,本文做了以下改进:第一,射频检波电路利用片外的零偏置肖特基二极管实现,片内只处理基带信号(射频检波后的信号);第二,基带信号放大电路利用优化的运放,降低功耗,采用电阻闭环反馈网络,相对于开环放大,降低增益灵敏度,提高抗干扰能力;第三,比较器加入迟滞功能,消除噪声和失调影响,降低误唤醒率;第四,针对低功耗处理,MOSFET 工作在弱反型区. 通过本文提出的方案可以实现超低功耗,高灵敏度,宽电源电压范围的 WUR 模拟前端.

2 唤醒接收机结构

如图 2 所示,为本文的 WUR 模拟前端方案. 通过片外的匹配电路,检波电路和电容滤波,把 5.8 GHz 的 ASK 调制信号检波成 14 kHz 的低频信号. 其中二极管使用高性能的零偏置肖特基二极管,图中示例检波电路利用半波整流,实际应用中可以用全波整流的方案以便提高输出信号幅度. 检波得到 14 kHz 信号经过放大后,输入到比较器的一端,比较器的另一端是 14 kHz 信号经过 RC 滤波后得到的电压,其纹波电压小,可以作为比较器的参考电压. 比较器输出经过驱动得到我们想要的 14 kHz 方波电压,这 14 kHz 可以被相关的数字电路处理

以进行判决来实现唤醒.

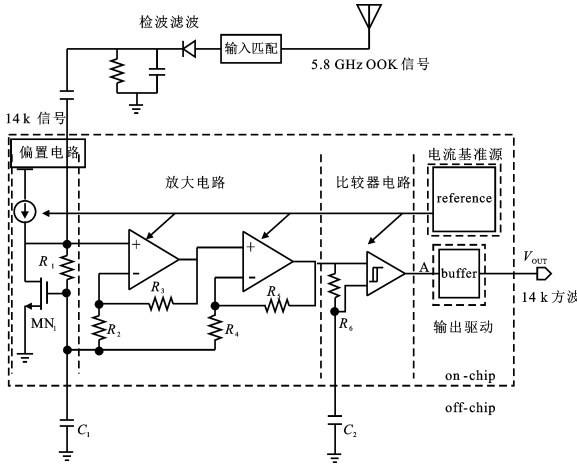


图 2 唤醒接收机方案

图中偏置电路,是通过二极管连接的 MOSFET 形成放大器所需的偏置电压. 放大电路为二个运算放大器级联,利用电阻构成的电压-电压反馈,得到一定的增益,运放为理想的情况下,放大电路的总增益为:

$$A_V = A_1 A_2 \tag{1}$$

$$A_V = (1 + R_3/R_2)(1 + R_5/R_4) \tag{2}$$

其中 A_1 , A_2 分别为二个 OPA 的闭环增益,由于 OPA 的直流增益,带宽,输出电阻等参数的限制,增益小于理想情况下的 A_o . 因此 A_o 的大小在设计中需留有一定的裕量. 本文设计的 $R_3/R_2 = 40$, $R_5/R_4 = 5$,得到 $A_o = 246$. 二个 OPA 采用相同的电路结构,但设计的带宽不同. 比较器加入迟滞功能,有利于减小噪声和比较器自身失调的影响,降低误唤醒率,迟滞电压一定小于输出信号的幅度值,设计中使用二位数字来调节迟滞电压.

3 主要模块的实现

3.1 运算放大器的设计

本文设计的运算放大器要求在满足一定的相位裕度和带宽下,尽量低功耗,低噪声,高增益. 运放具有高的开环增益是重要的,对于电阻反馈,有利于减小增益误差. 设计中优化了放大器,在不增大功耗的情况下,获得较高的增益. 如图 3 所示,采用二级运放,第一级为差分输入, M_6, M_7 为输入对管,第二级为共源级放大器. 第一级的负载由 $M_1 \sim M_4$ 组成,这样的负载基于以下几点考虑,第一,这种属于低压电流镜结构,可以增大输出电压摆幅,第二,提高第一级的输出电阻,以便提高增益,第三, C_c 连接在二

级放大器之间,用于频率补偿, M_2 提供 C_c 频率补偿的反馈路径,而阻断了前馈路径,可以消除放大器传输函数的零点^[6],从而可以不用 C_c 串联电阻来消除右半边的零点的方法。 M_1 和 M_2 的栅接入固定电平,传统的方法利用额外的电路或 LDO 产生所需电压,因此会带来额外的功耗。改进的运放把 M_1 , M_2 的栅接入 M_9 的漏端,避免了额外的功耗,当放大器电路保持线性时, M_9 漏端电压保持不变,在电流镜 M_8-M_{10} 尺寸比例不变的情况下,调节它们的宽长比,使得这点电压达到合适的值,以便获得较大的输出电压摆幅。

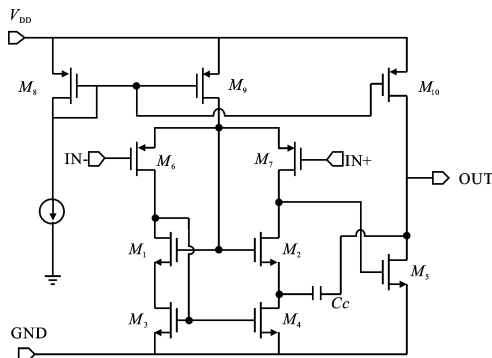


图3 二级运算跨导放大器

考虑到低功耗设计,本文设计的 MOSFET 工作在弱反型区,MOSFET 的电流特性为

$$I_D = I_0 \exp \frac{V_{GS}}{nV_T} \quad (3)$$

其中 n 是大于 1 的非理想因子, $V_T = kT/q$ 。跨导为:

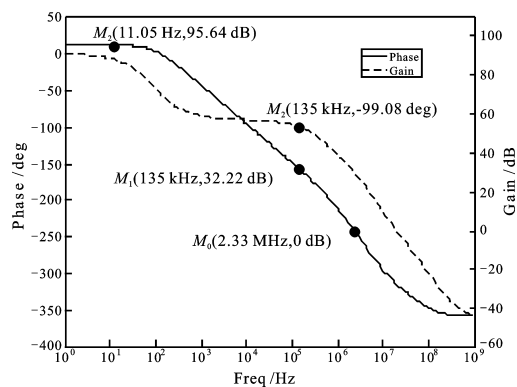
$$gm = \frac{\partial I_D}{\partial V_{GS}} = \frac{I_D}{nV_T} \quad (4)$$

直流增益为:

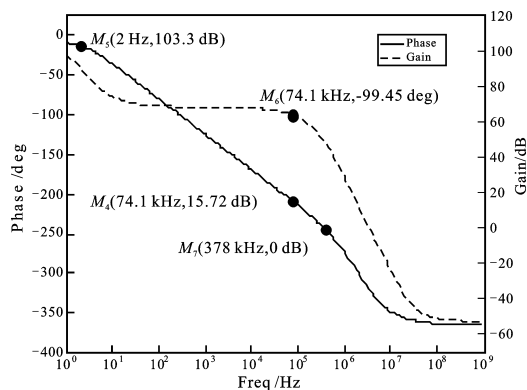
$$A = g_{m7} g_{m5} [r_{o7} || (g_{m2} r_{o2} r_{o4})] (r_{o5} || r_{o10}) \quad (5)$$

运放偏置电流大小需仔细设计,一方面考虑到对增益和带宽的影响;另一方面对于低噪声问题,希望输入管具有大的 g_m ,负载管具有小的 g_m ,而 g_m 值在弱反型区只取决偏置电流大小;再者,偏置电流大小也直接影响功耗大小。第二级的偏置电流相对第一级更大,以便增大 g_{m5} ,让次主极点在单位增益频率点之外,提高相位裕度。

在 3.3 V 电源电压,输入共模电平 900 mV 下,负载电容分别为 500 fF 和 2 pF,二个运算放大器频率响应如图 4 所示:



(a)第一个运放的频率响应



(b)第二个运放的频率响应

图4 运放的开环频率响应

图 4 是运放在开环情况下的频率响应,运放实际都工作在闭环,其中第一个运放反馈系数为 $1/41$ (-32.26 dB),第二个运放的反馈系数为 $1/6$ (-15.56 dB)。从图中可以看出,二个运放的直流增益在都在 95 dB 以上,相位裕度在 80 deg 左右,单位增益带宽分别为 2.33 MHz 和 378 kHz。根据设计方案,放大器的参数满足要求

3.2 迟滞比较器的设计

带迟滞功能的比较器设计基于文献^[7]中的结构,增加了二位数字调节位 Code0 和 Code1,用于调节迟滞电压的大小,如图 5 所示,电路中有二条反馈路径,一条是 $M_{10}-M_{15}$ 构成的栅-漏正反馈,另一条是 M_5, M_6 构成的负反馈。只有在正反馈系数大于负反馈系数时,整个电路表现为正反馈,迟滞功能才会出现。默认的情况下,Code0 和 Code1 为高电平(用 1 表示), $M_{11}-M_{14}$ 关闭不起作用。令 $\beta = \mu C_{ox} \frac{W}{L}$,当 $\beta_{10} > \beta_5$ 时,迟滞功能出现。且 β_{10}/β_5 的值越大,迟滞电压越大。

本文设计 $\beta_9 : \beta_{10} : \beta_{11} : \beta_{12} = 1 : 2 : 1 : 2$ 。Code0 和

Code1 取不同数字,得到不同的迟滞电压值,仿真得到迟滞电压值如图 6.

得到迟滞比较器的正向转折点阈值在 24.6 mV 至 60.3 mV 可调,负向的转折点阈值-24.7 mV 至 60.6 mV 可调.

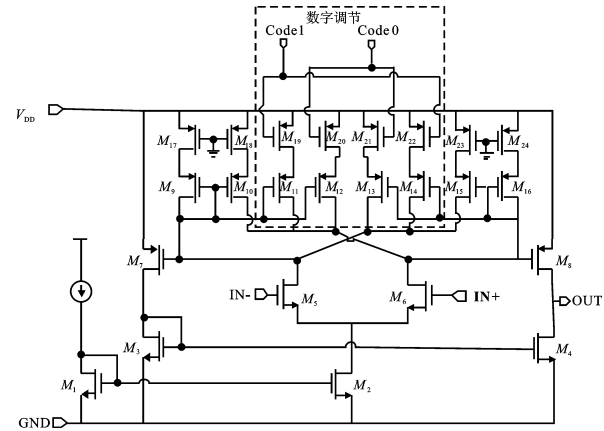


图 5 迟滞比较器电路

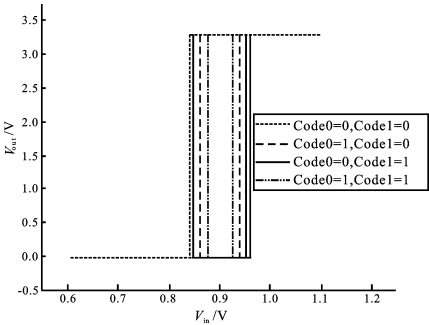


图 6 不同数字位迟滞电压值

3.3 基准电流源的设计

由于低功耗的要求,本文的电流源提供的电流大小在 1 μ A 以下,带隙电路虽然能够提供高的精确度,但是本身的功耗较高.同时本文的电源电压可工作在 2~3.3 V,需要电流对 VDD 的变化不敏感.文献[8]的电路是很好的选择,提供的电流几乎与 VDD 不相关,如图 7 所示,其中 M_4 的宽长比是 M_3 的 K 倍, M_5, M_6, C_1 构成了启动电路,启动电路避免基准电流源工作在 0 偏置电流的状态.当晶体管都工作在饱和区时,偏置电流的大小为

$$I_2 = \frac{2}{\mu_p C_{ox}} \frac{1}{(W/L)_P} \frac{1}{R_1} \left(1 - \frac{1}{\sqrt{K}}\right)^2 \quad (6)$$

然而本文的基准电流在 1 μ A 以下,因此, MOSFET 工作在弱反型区,其偏置电流大小为^[9]:

$$I_2 = \frac{n k T}{q} \frac{\ln K}{R_1} \quad (7)$$

其中 n 是大于 1 的非理想因子,调整比例因子 K 和电阻 R_1 ,可以得到需要的电流大小.

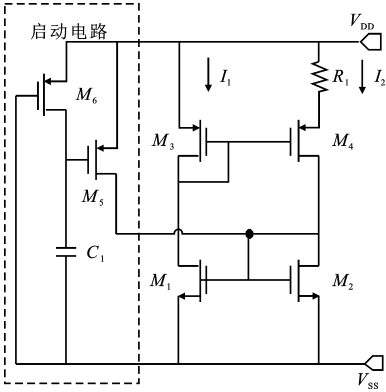
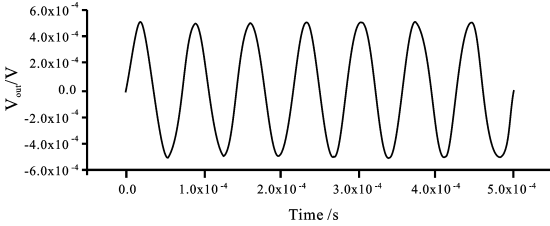


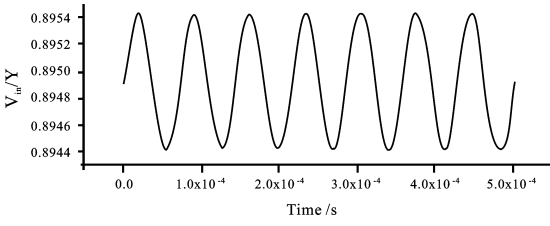
图 7 基准电流源结构

4 仿真结果

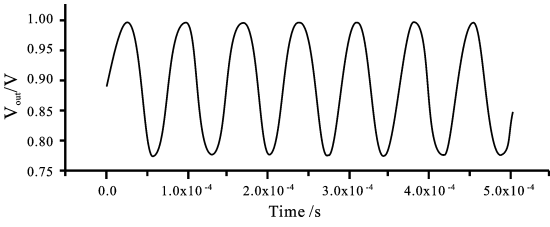
电路实现基于 0.13 μ m CMOS 工艺,利用 spectre 仿真器对电路进行仿真,首先验证功能的正确性,输入峰峰值 $V_{PP}=1$ mV 的正弦信号,其偏置电压为 900 mV 左右,在 tt 工艺角,3.3 V 电源电压下仿真得到如图 8 所示的波形.



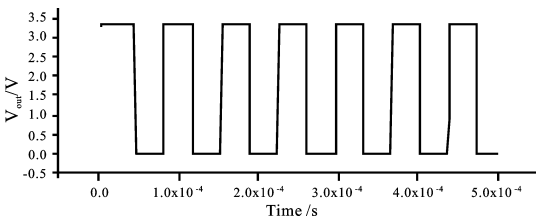
(a) 14k 输入信号



(b) 加上偏置电压后的 14k 信号



(c) 放大电路输出信号



(d)比较器输出波形

图 8 瞬态仿真波形

可以看出,比较器的输出是 14 kHz 方波,符合要求. 噪声和失调对电路的性能参数影响很大,本文以图 2 的 A 点为参考点,需要考虑偏置和放大电路整体的输出噪声电压 V_{noise} ,以及比较器自身的失调,首先考虑噪声,通过对输出噪声功率谱全频带积分,得到输出噪声 $V_{noise}=16.22\text{ mV}$.

其次,需要考虑失调,失调可以当作迟滞电压的一部分,通过 Monte Carlo 仿真,得到图 9 的迟滞电压图(Code0=1,Code1=1)1 表明:

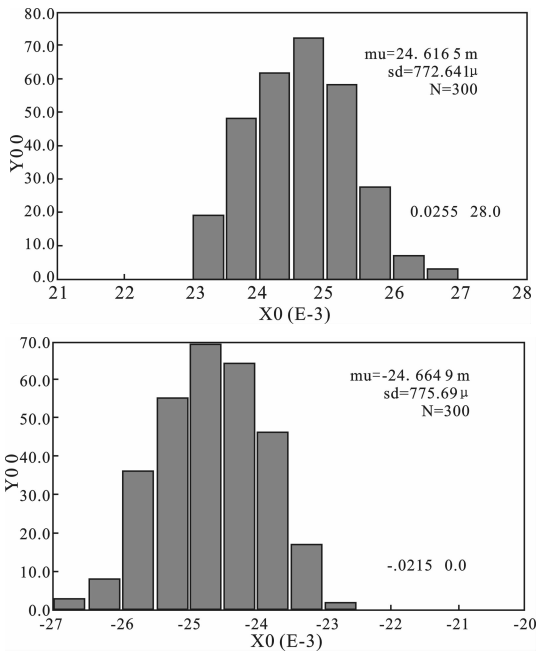


图 9 Monte Carlo 仿真迟滞电压

其中失调 $3\sigma=2.3\text{ mV}$.

综合以上分析,设置 Code0=1,Code1=1 时,迟滞电压可以避免噪声和失调导致比较器输出的误触发. 当然,由于片外射频检波后的信号也伴随着噪声,所以需调节 Code0,Code1,让迟滞电压在一个合适的值,这个可以在实际测量时候确定.

为了验证电压,工艺和温度变化对电路性能的影响,对电路进行 PVT 仿真,设置 Code0=1,Code1=1. 首先观察常温下电源电压变化对电流和

灵敏度的影响. 其次,设置电源电压为 3 V,看温度的变化对电流和灵敏度的影响. 分别得到图 10 和图 11.

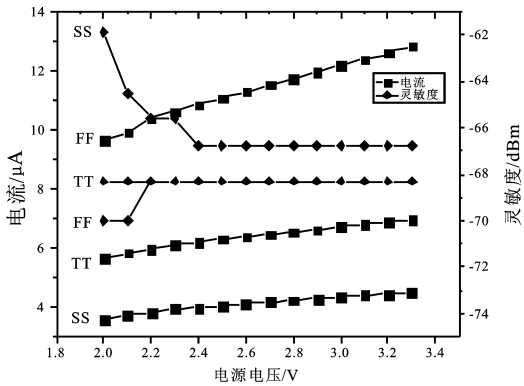


图 10 电源电压变化对电流和灵敏度影响

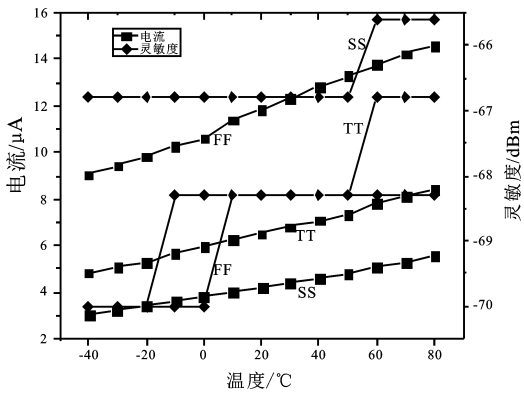


图 11 温度变化对电流和灵敏度的影响

从仿真的结果来看,最坏的情况下,电流高达 $14.6\text{ }\mu\text{A}$,原因是由于不同环境下仿真的基准电流源的电流变化较大,这个可以通过数字来动态的调节电流的大小(本文未给出). 灵明度最坏的情况是 -62 dBm . 典型的情况下(TT,3.3V,常温) $I=6.97\text{ }\mu\text{A}$,灵明度 -68.3 dBm ($V_{PP}=0.244\text{ mV}$). 考虑到片外检波电路存在部分损耗,因此整个唤醒接收机的灵明度比 14 k 信号的灵敏度低一些. 综合以上可以看出,本文的设计唤醒接收机具有良好的抗 PVT 变化,在不同的工艺角下,电源电压 2~3.3 V,温度 $-40\sim 80$ 度均能正常工作,并且性能良好. 表 1 是本文的设计方案与近几年已发表的关于唤醒接收机性能指标的对比,这几篇文献可应用在中国的 ETCS 标准,这里需要注意的是文献[1-2]将检波电路集成在芯片内,但是用到片外匹配或巴伦来放大射频信号,不考虑这部分片外增益,文献[1-2]的灵敏度都在 -40 dBm 以上. 本文设计正如前面所述,

−68.3 dBm 是检波后的信号的灵敏度,但即便考虑片外检波的损耗,其灵敏度也远小于−40 dBm. 因此可以看出,本文提出的设计方案在功耗和接收的灵敏度之间有很好的折中,并且可工作宽的电源电压范围.

表 1 与其他唤醒接收机比较

文献	工艺/ μm	电源电 压/V	直流电 流/ μA	灵敏度 /dBm
[1]	0.13	3~3.6	15	−45
[2]	0.18	3.3	2.5	−45
[10]	0.18	1.8~3.3	1.4~1.7	−54.5
本文	0.13	2~3.3	6.97	−68.3

5 结束语

本文分析了唤醒接收机在 ETC 的应用,并且提出了一种设计方案. 在 0.13 μm CMOS 工艺下实现了具体的电路设计,仿真表明,唤醒接收机可工作在 2~3.3 V,典型直流电流仅为 7 μA ,基带信号的灵敏度为−68.3 dBm. 对于电池供电的 ETC 无线通信具有重要的意义.

参考文献:

[1] Choi J, Lee K, Yun S O, et al. An interference-aware 5.8GHz wake-up radio for ETCS[C]// IEEE International Solid-State Circuits Conference, San Francisco, California,2012;446-448.

[2] 周仁杰,莫太山,甘业兵,等. 用于 5.8 GHz ETC 超低功耗唤醒接收机模拟前端[J]. 半导体技术,2013,38(7):487-491.

[3] Zou J, Zhu S, Feng K, et al. Design of low power wake-up circuits applied to obu system chip[C]// Int.

Microw. Millimeter Wave Technol. Conf. China, Shenzhen,2012;1-4.

[4] HuangX, Rampu S, Wang X, et al. A 2.4GHz/915 MHz 51 μW wake-up receiver with offset and noise suppression[C]//IEEE International Solid-State Circuits Conference. USA, San Francisical, 2010; 222-223.

[5] Choi J, Lee I Y, Lee K, et al. A 5.8 GHz DSRC transceiver with a 10 μA interference-aware wake-up receiver for the chinese ETCS[J]. IEEE Transactions On Microwave Theory And Techniques,2014,62(12): 3146-3160.

[6] Willy M C Sansen. Analog design essentials [M]. 北京: 清华大学出版社,2007.

[7] Allen P E, Holberg D R. CMOS 模拟集成电路设计 [M]. 二版. 冯军,李智群,译. 北京:电子工业出版社, 2011.

[8] Razavi B. Design of analog CMOS integrated circuits [M]. New York: McGraw Hill, 2002.

[9] ZhangW, Wang Z, ZhangC. A 6.93 μW wake-up circuit for active RFID tags[C]//Asia Pacific Conference on Postgraduate Research in Microelectronics &. Electronics. China, Shanghai, 2009;452-455.

[10] Zhu Wenrui, Yang Haigang, Gao Tongqiang, et al. A baseband circuit for wake-up receivers with double-modedetec-tion and enhanced sensitivity robustness[J]. Journal of Semiconductors,2013,34(8):144-149.

作者简介:

刘国政 男,(1993-),硕士研究生. 研究方向为模拟射频集成电路设计. E-mail: liuguozheng@ime.ac.cn.

黄水龙 男,(1975-),博士,副研究员. 研究方向为高性能模拟射频 CMOS 集成电路.